

Введение в системы сбора данных

Магистрально-модульные системы

О.Соловьянов

На основе материалов M.Joos (CERN)

Магистрально модульные системы

- Эксперименты в физике высоких энергий включают в себя от нескольких тысяч до нескольких десятков миллионов каналов электроники
- Миллионы каналов требуют тысячи модулей электроники
- Для организации системы сбора данных и регистрирующей электроники широко используются магистрально-модульные системы
- Организация модулей(плат) на шине (магистрали) в механическом конструктиве (крейте), стандартизация размеров, питания, электрических сигналов, протоколов обмена и т.п.

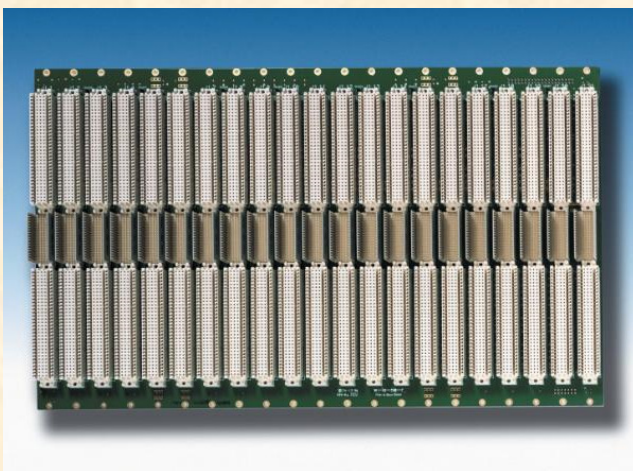
Магистрально модульные системы



Корпус (crate/bin)



Модули



Магистраль (backplane)

Шины в магистрально модульные системах

- **Шина адреса** – для выбора модуля (адресации) установленного в каркас. Различными способами: номер модуля, географическая адресация (позиция)
- **Шина данных** – для передачи данных. Чаще всего, разрядность шины (количество проводников сгруппированных в шину) кратна байту: 8, 16, 24, 32 разряда. За один такт, по шине могут быть переданы, соответственно: 1, 2, 3, 4 байта.
- Для уменьшения общего количества проводников в шине, шина адреса и шина данных могут быть мультиплексированными – одни и те же линии используются как для посылки адреса, так и для данных, но посылки разнесены по времени, момент когда происходит передача адреса, а когда данных происходит по сигналам на шине управления.
- **Шина команд** – управление операциями на магистрали. Передаются команды модулям, например: произвести чтение, выдать данные, начать работу и т.п. Полный список команд, выполняемых модулем определяется стандартом магистрально-модульной системы
- **Шина состояния** – используется для передачи данных о результате выполнения операций каким-либо модулем, например: модуль закончил работу, при работе модуля возникла ошибка, модуль готов к работе и т.д.

Шины в магистрально модульные системах (2)

- **Шина управления** – для синхронизации работы модулей или передачи информации. В состав шины управления могут входить: линии стробирования (по этим линиям передаются сигналы разделяющие адрес, данные, и т.д. на мультиплексированных шинах), тактовые линии, линии сброса и очистки.
- **Шина арбитража** – предназначена для того, чтобы реализовать модулям доступ к магистрали в соответствии с приоритетом.
- **Шина прерываний** – предназначена для того чтобы определить, что модуль запрашивает обработку какого-либо события: закончено измерение, требуются данные, и т.д.

Модульная электроника

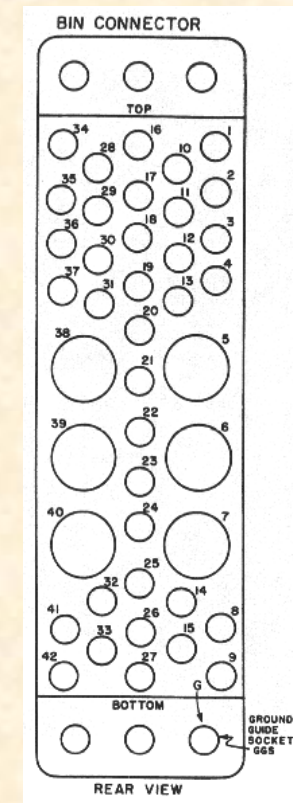
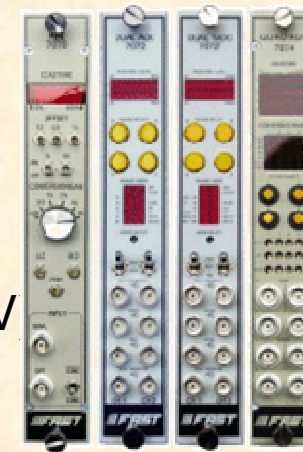
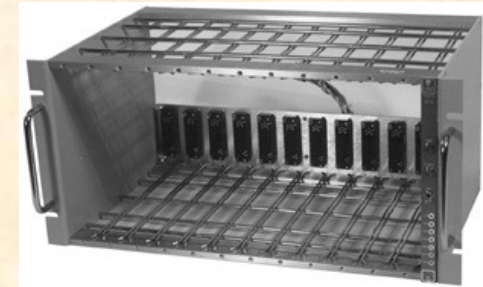
прошлое, настоящее, будущее

- Прошлое:
 - NIM
 - CAMAC
- Настоящее:
 - VME
 - PCI и PCIe
- Будущее:
 - VXS
 - ATCA
 - μ TCA

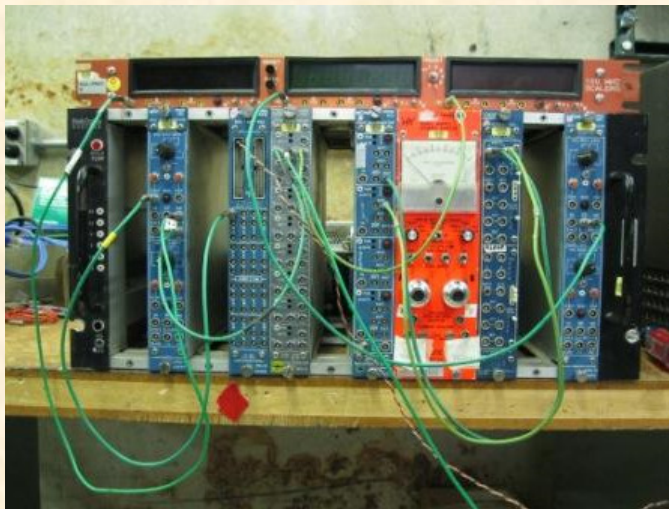
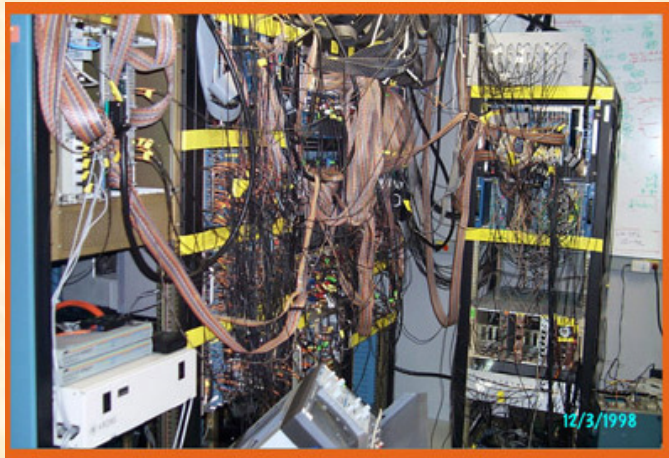
NIM

NIM

- NIM = Nuclear Instrument Modules
 - Но используется и вне “ядерной физики”
 - NIM = National Instrument Modules
 - Но используется и вне USA
 - **NIM = NIM**
- 1й стандарт NIM: **июль 1964**
 - 1й модуль NIM: ноябрь 1964
- Размеры модуля: 34 x 221 x 246 mm
- Логические уровни NIM :
 - 0 = 0A (0V)
 - 1 = -12 до -32 (обычно -16) mA на 50 Ω (-0.8V)
- Разъем NIM
 - 42 контакта (pins)
 - 11 контактов для питания
 - 2 логических контакта (reset & gate)
 - контакт 1 & 2 = +/- 3V
- 29 зарезервированных контактов
- 1983 цифровая шина NIM (IEEE 488 – GPIB)
 - Редко используется в больших объемах

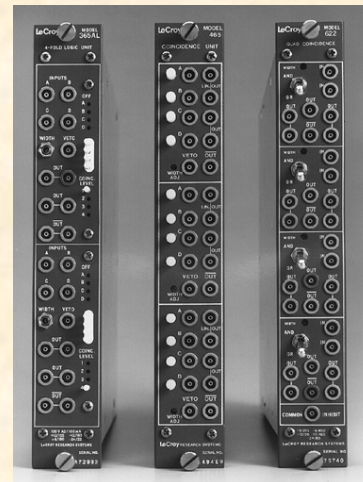


NIM



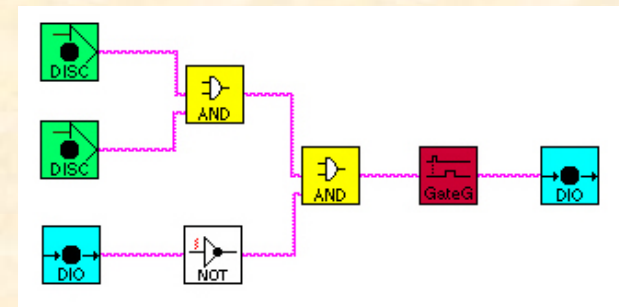
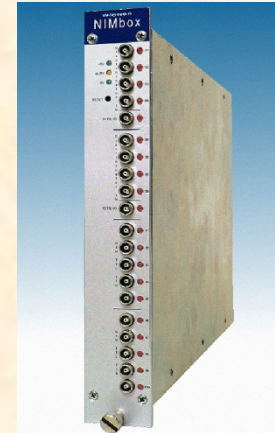
Модули NIM

- Высоковольтные блоки питания
- Преобразователи сигналов, усилители
- Таймеры, генераторы
- Блоки совпадений и логики



NIM – новое поколение

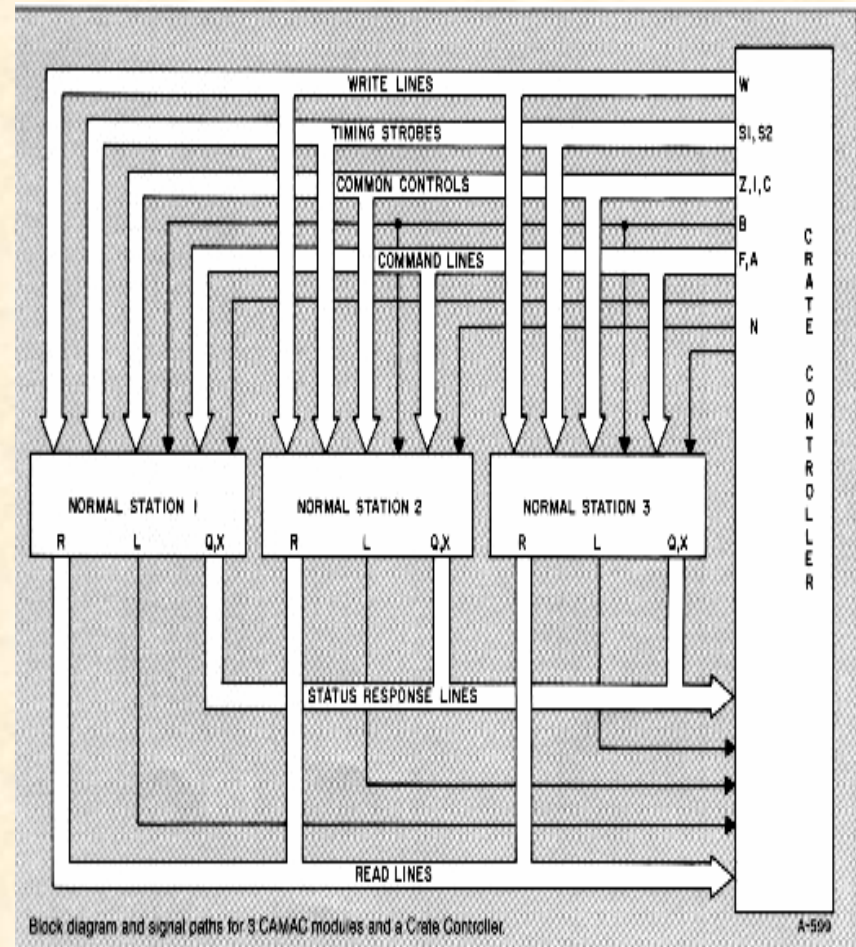
- NIM все еще жив
 - Модули NIM общего назначения с программируемой логикой (LabView, с USB)
 - 16 канальный 12 бит 5 ГС/с АЦП с USB 2.0



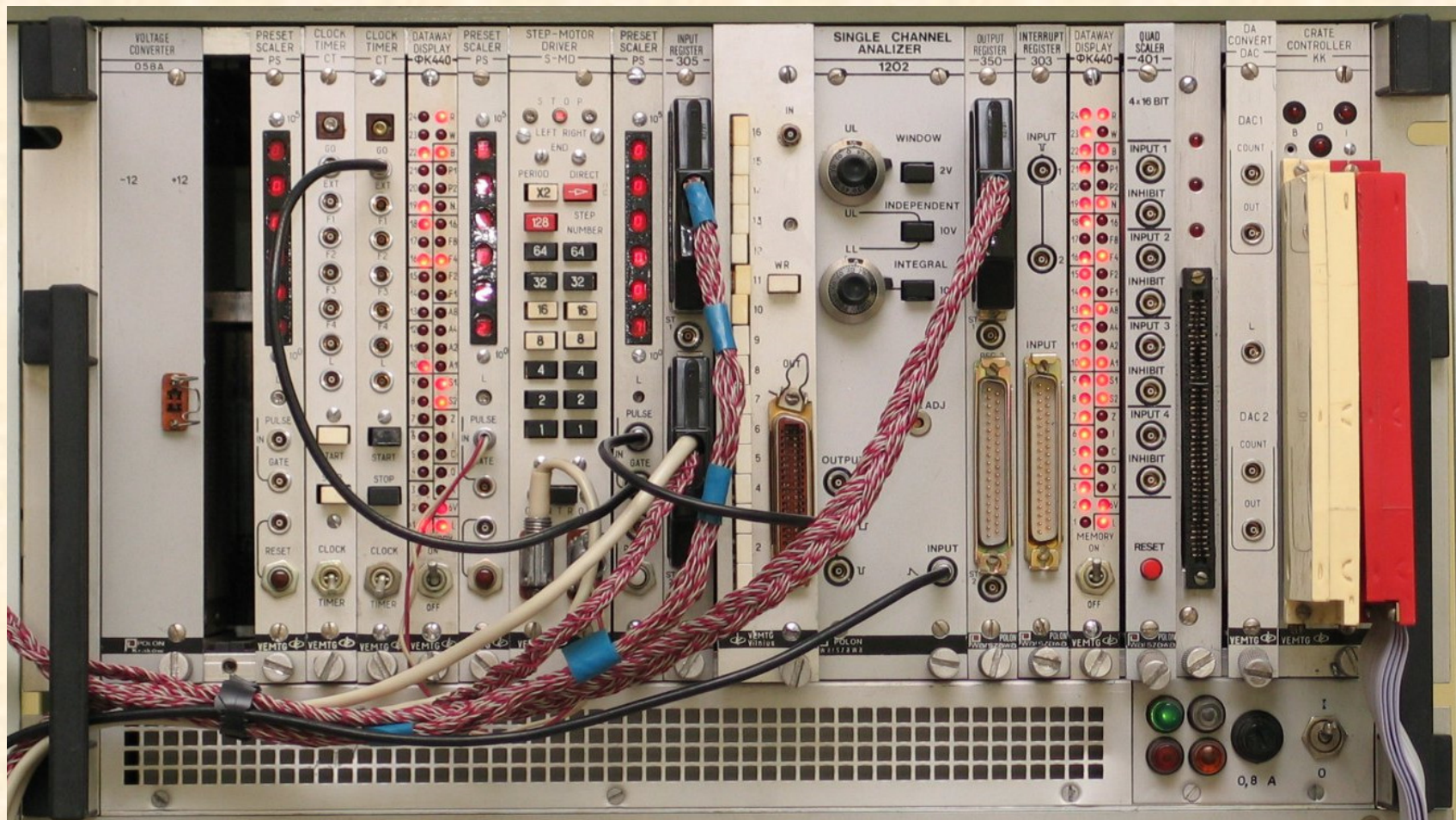
CAMAC

CAMAC

- CAMAC = Computer Automated Measurement And Control
- 1972 год
- 24 модуля в крейте (каркасе) + контроллер крейта (место 25)
- Объединение крейтов в ветви (branches)
- Скорость - 1 Mw/s (16/24 bit)
- Российский аналог - ВЕКТОР, СУММА



CAMAC



Модули в системе CAMAC

CAMAC

- CNAF – Crate Number Address Function
 - C номер крейта
 - N номер станции (позиция в крейте)
 - A подадрес внутри модуля (ячейка памяти)
 - F функция (чтение, запись, сброс,...)
- LAM, Q, N, X

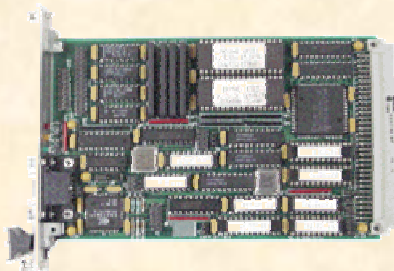
VMEbus

VMEbus

- Versa Module Eurocard
- 1982
- 3U-6U-9U крейт на 21 место
- 32/64 бит разрядность адреса/данных
- Мультиплексируемая шина адреса/данных
- 40 Мбайт/сек (для 32 бит передачи)
- Простое сопряжение с микропроцессорами Motorola 680x0

Механика VMEbus

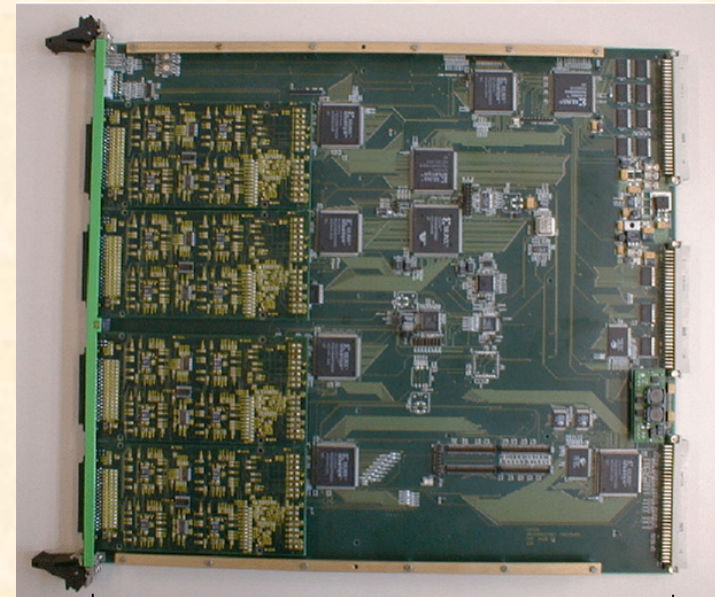
Существует 3 стандартных размера VMEbus плат: 3U, 6U и 9U
1U = 1.75 дюйма



160 mm



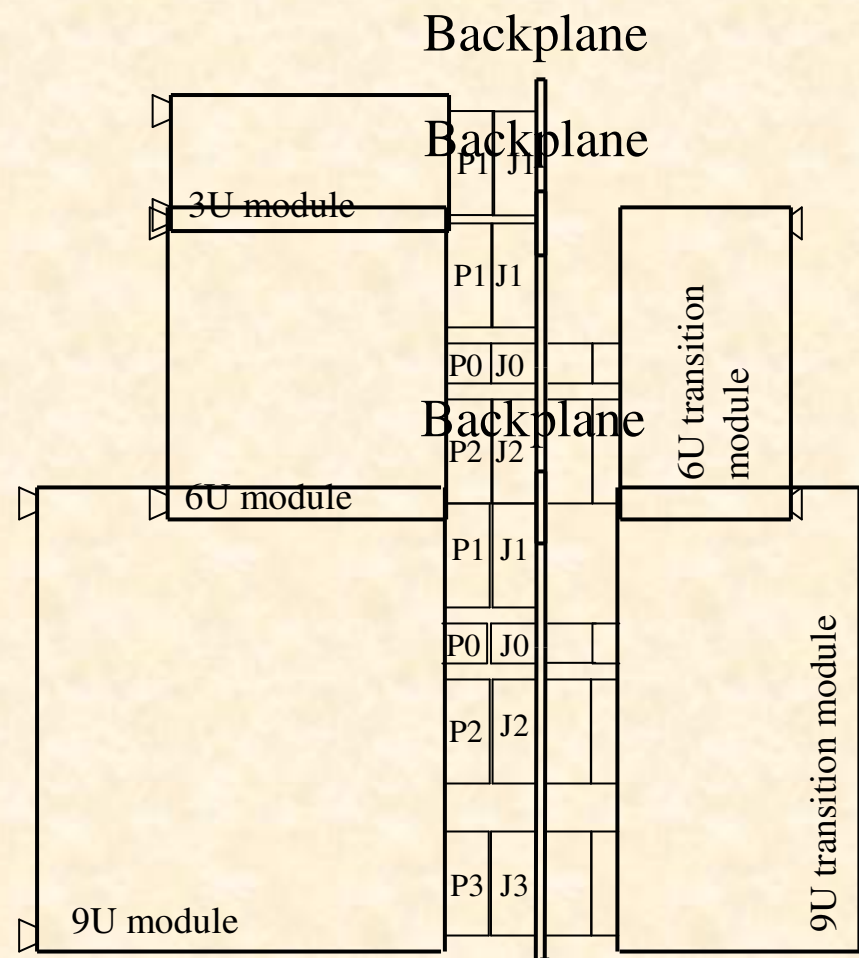
160 mm



340 mm

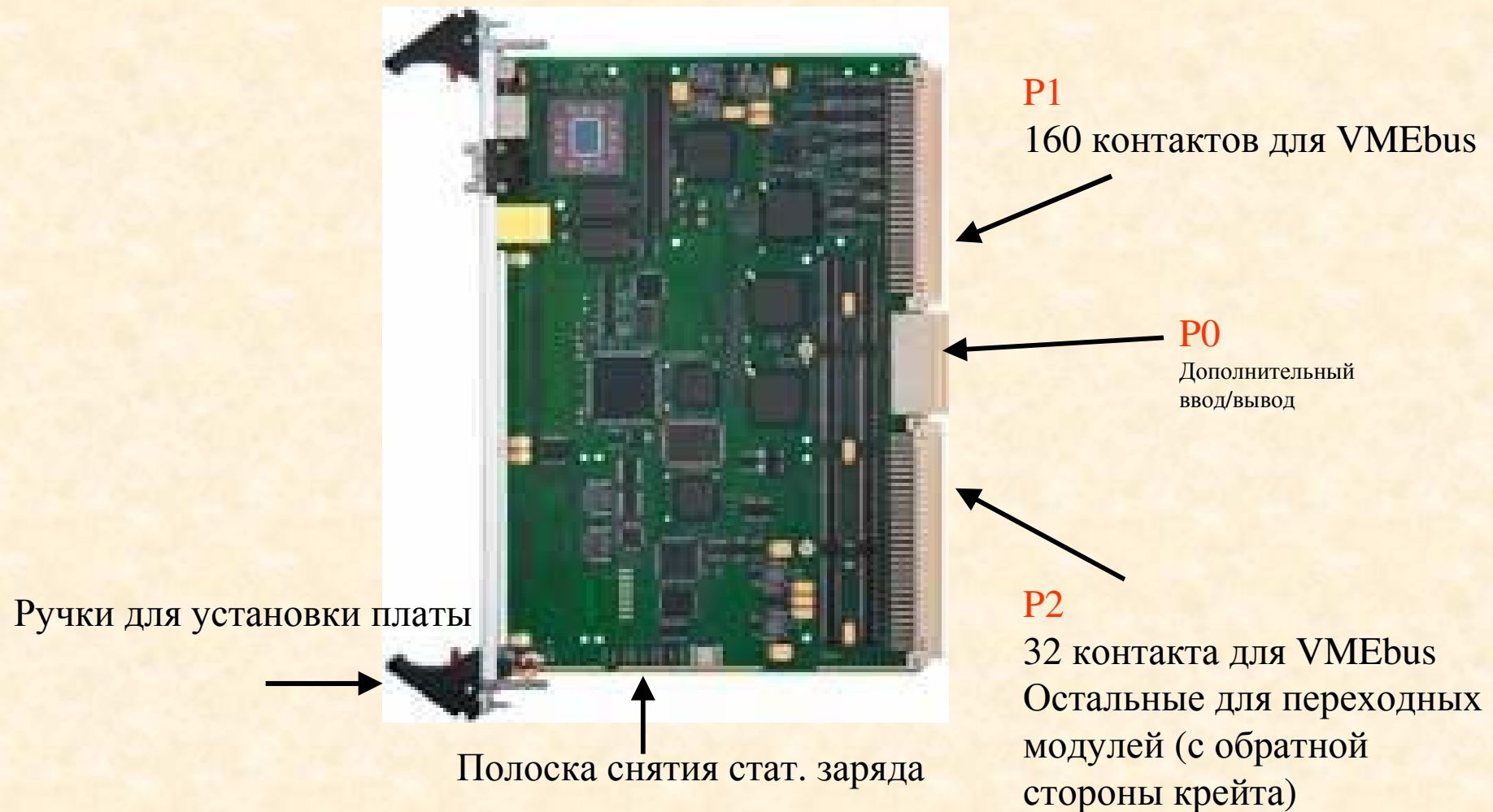
В системах типоразмера 6U и 9U с обратной стороны шины могут вставляться «переходные модули». Они не подсоединяются собственно к VMEbus, а напрямую к модулю VMEbus с другой стороны шины через контакты разъемов J0, J2 и J3

Механика VMEbus (2)

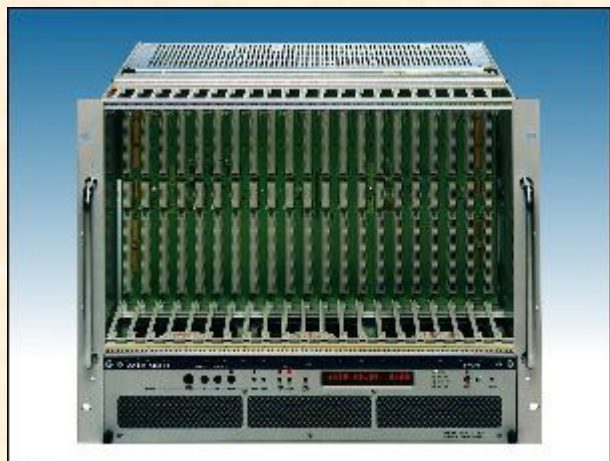


VMEbus (3)

Пример: 6U VME64x процессорный модуль

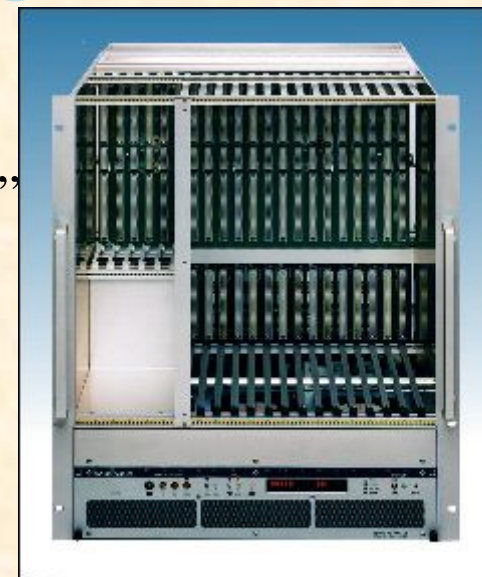


Каркасы VMEbus



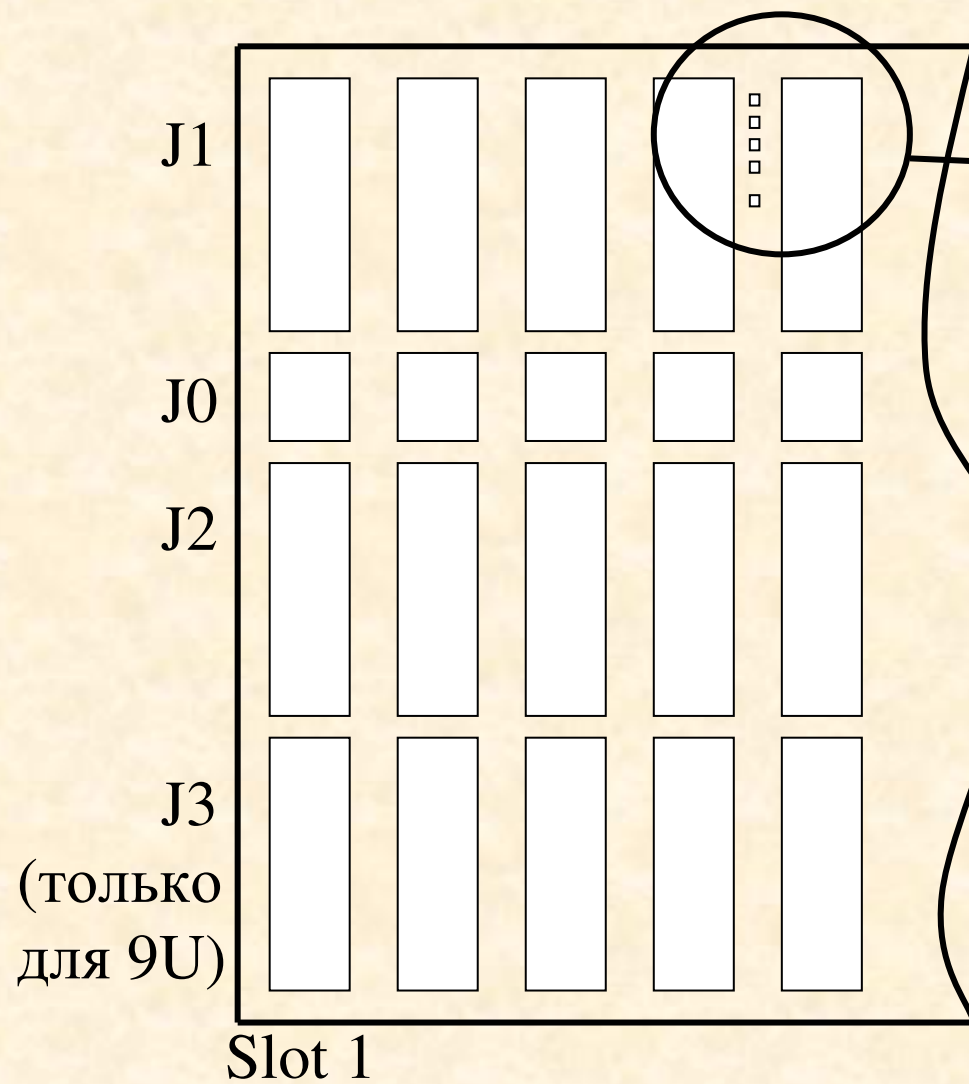
21 местный **9U**
каркас (с 6U
секцией) для 19"
стоек

21 местный **6U**
каркас для 19"
стоек



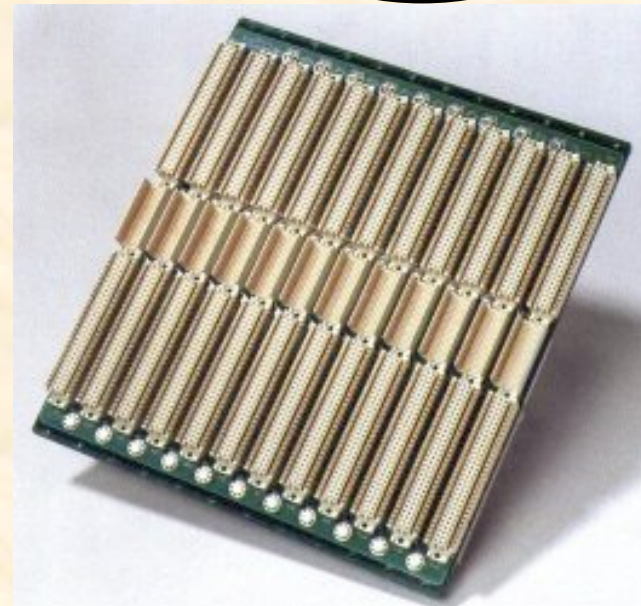
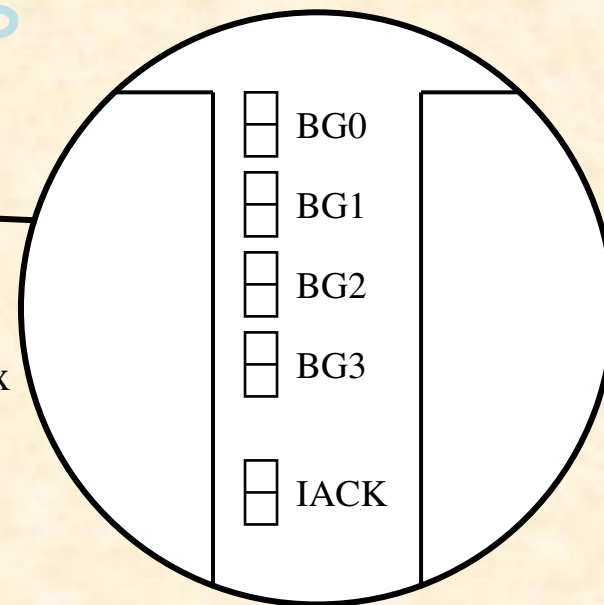
- Различные типы блоков питания (**5V**, **+/- 12V**, 3.3V, 48V) устанавливаются в сам каркас или рядом, с воздушным или водяным охлаждением
- Блок управления вентиляторов позволяет следить за напряжением, током, скоростью вентиляторов, температурой в каркасе
- Каркасы могут удаленно управляться по интерфейсам CANbus, USB, Ethernet

Шина VMEbus



Вид спереди

Daisy-chain
jumpers (на
очень старых
шинах)



6U VME64x

Модули VMEbus

- Классы модулей (логическое разбиение)
 - Master
 - Модуль инициирующий передачу данных (ведущий)
 - Slave
 - Модуль отвечающий на запрос/передачу данных мастера (ведомый)
 - Interrupter
 - Модуль посылающий прерывание (обычно это slave)
 - Interrupt handler
 - Модуль принимающий и обрабатывающий прерывания (обычно одноплатный компьютер SBC=Single Board Computer)
 - Arbiter
 - Электронная схема (обычно внутри SBC) регулирующая доступ к шине и наблюдающая за ее состоянием. Для использования прерываний должна находиться в месте номер 1

Сигналы VMEbus

- Электрические характеристики
 - Все линии используют уровни TTL логики
 - Низкий = 0 ... 0.6 V
 - Высокий = 2.4 ... 5 V
 - Адрес, модификатор адреса и линии данных – **активный высокий**
 - Линии протокола (AM, LWORD, DS0/1) - **активный низкий**
- Протокол
 - **Асинхронный**
 - Длина цикла на шине VME зависит от скоростей мастера и подчиненного
- Порядок следования байтов
 - **big endian**. Наиболее значащий байт 32-бит слова находится по наименьшему адресу (0x0)
 - PCI и Intel CPUs являются **little endian**. Наиболее значащий байт 32-бит слова находится по наибольшему адресу (0x3)
 - Большинство, но не все, мастера VMEbus имеют систему перекодировки порядка следования байт на лету (byte swapping)

Передача данных VMEbus

- Основные типы передачи данных
 - **Single cycles (одиначные циклы)**
 - Передача 8, 16 или 32 бита данных под контролем CPU модуля мастера
 - Обозначение: D8, D16 и D32
 - Типичная длительность: 1 μ s + задержки программного обеспечения
 - **Block transfers блочные передачи**
 - Передача любого объема данных (обычно 32 или 64 bit за такт) под управление контроллера DMA (Direct Memory Access – прямой доступ в память)
 - Обозначение: D32BLT и D64MBLT
 - Данные передаются блоками по 256 (D32) или 2048 (D64) байтов
 - Типичная длительность: 150 ns на слово данных (сравните с 1 μ s/ 16-бит слово для CAMAC!)
 - **Прерывания**
 - Используются slave-модулями для привлечения внимания мастер-модуля (есть новые данные, внутренняя ошибка,...)
 - До 7 приоритетов
 - Модуль прерываний выдает 8-bit вектор для своего обозначения
- Адреса VMEbus
 - 16, 24 или 32 бита.
 - Обозначение: A16, A24 or A32

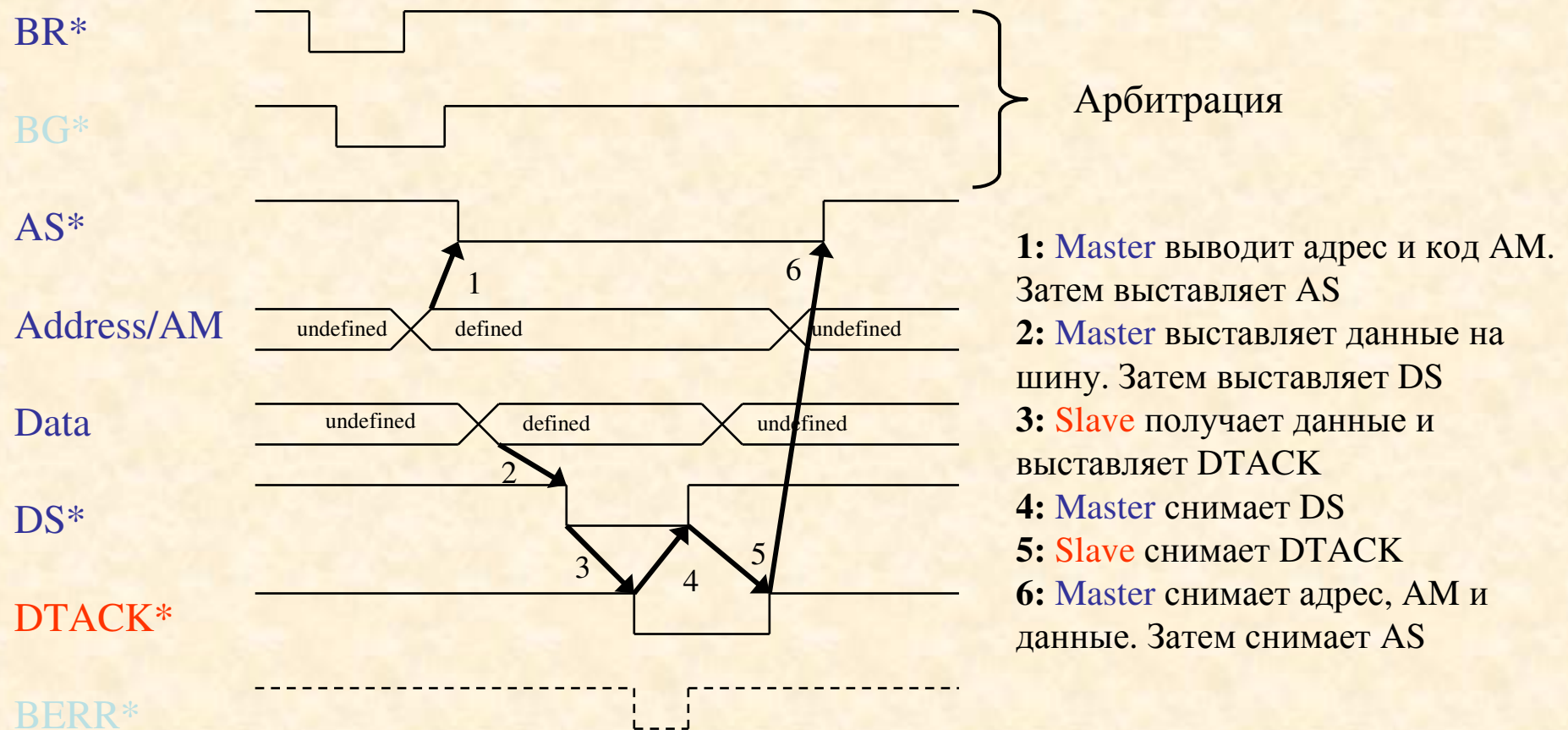
Сигналы протокола VMEbus

Name	Description
BBSY*	Шина занята. При получения доступа к шине мастер выставляет BBSY*. Пока стоит BBSY* никакой другой мастер не может получить доступ к шине
A[31..1]	Линии адреса. A00 не существует (не нужна)
D[31..0]	Линии данных
AM[5..0]	Модификатор адреса. Задаёт разрядность адреса и тип передачи
DS0* and DS1*	Строб данных. Сообщает ведомому о готовности мастера. Кодировывает число байт для передачи
LWORD*	Участвует в определении числа байт и в мультиплексируемых передачах
AS*	Строб адреса. Сообщает slave о готовности адреса на шине
WRITE*	Задаёт направление передачи
DTACK*	Подтверждение данных. Slave сообщает мастеру о завершении приема/передачи
BERR*	Ошибка на шине. Используется модулями например при неправильном адресе
IRQ1* .. IRQ7*	Линии запроса на прерывание.
IACK*	Подтверждение прерывания.

“*” означает **активный низкий** сигнал

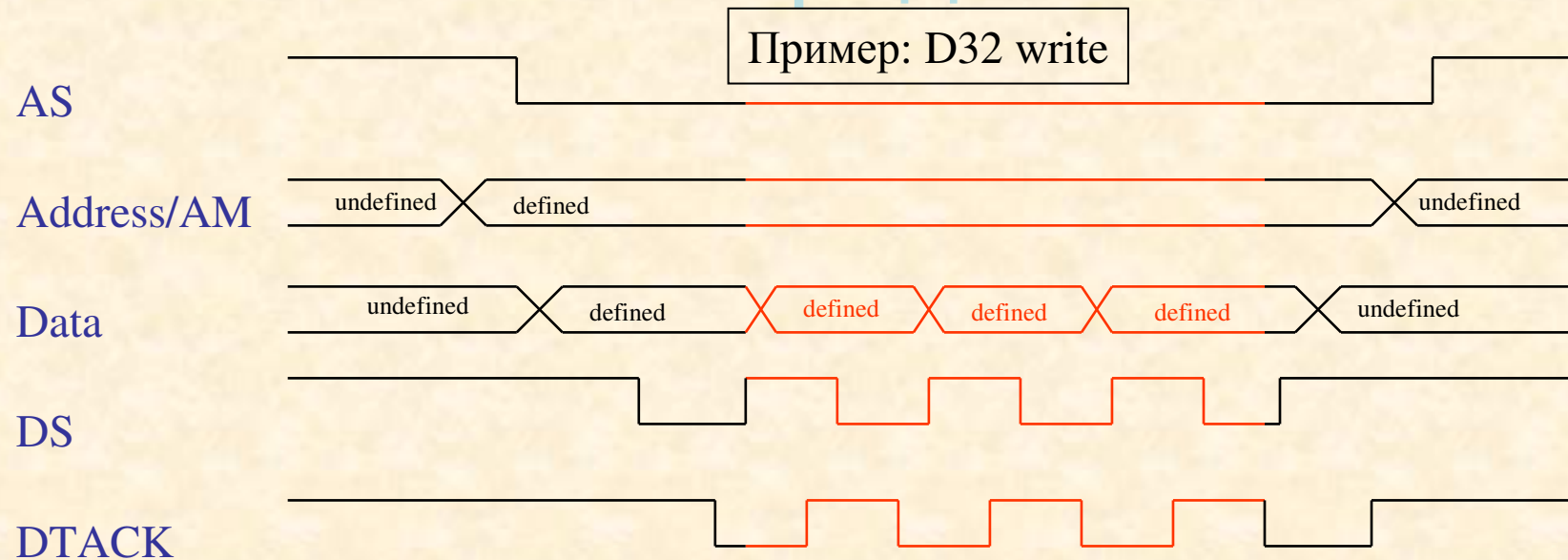
Циклы VMEbus

Пример: (упрощенный) одиночный цикл **записи**



Цветовой код: Master - Slave - Arbiter

Блочные передачи VMEbus



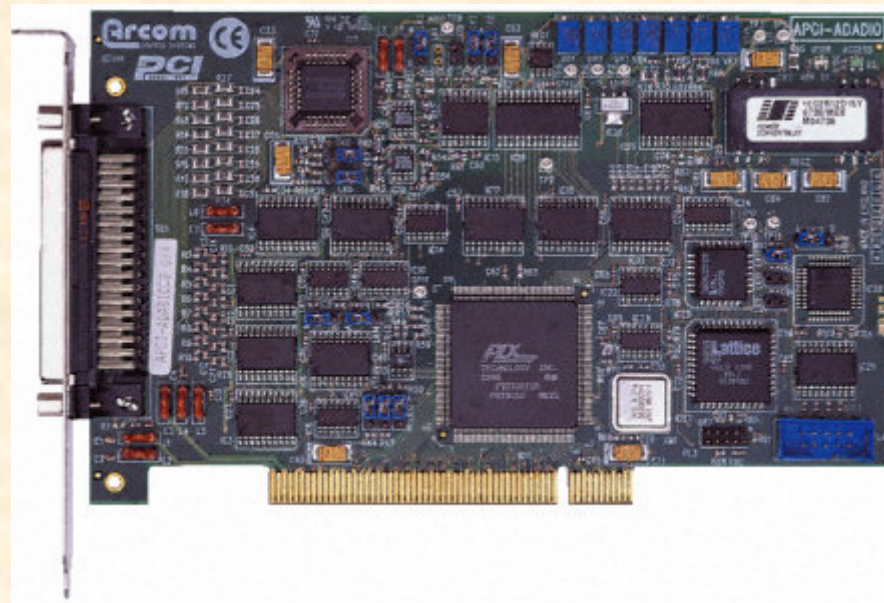
- Протокол блочных передач основан на протоколе одиночных
- Во время передачи адресные линии не меняют своих значений. Мастер и подчиненный используют **внутренние счетчики** для определения внутренних адресов
- Поскольку адресные линии не используются, они могут передавать данные: 64-бит мультиплексируемый DMA. В этом случае линия DTACK используется для следующих целей:
 - По появлении сигнала AS для подтверждения адреса
 - После каждого сигнала DS для подтверждения данных

Цветовой код: одиночная передача – **блочная передача**

Производительность VMEbus

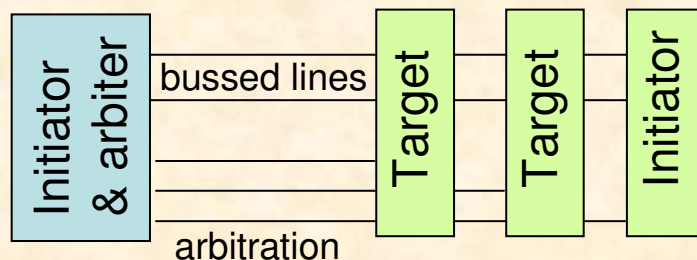
- Поскольку протокол VMEbus - асинхронный с квитанциями, не существует **определенной скорости передачи**. Временные характеристики налагают ограничение на максимальную производительность.
- Одиночные циклы: 1 μ s на передачу
 - D8 = 1 MB/s
 - D16 = 2 MB/s
 - D32 = 4 MB/s
- **Отложенная запись (Write posting)** в некоторых модулях позволяет развязать циклы шин PCI и VME. Это дает возможность достичь скоростей ~ **10 MB/s** для **D32**
- Блочные передачи
 - D32 = **20..25 MB/s** (теоретическая: 40 MB/s)
 - D64 = **40..50 MB/s** (теоретическая: 80 MB/s)

PCI



PCI

- PCI (Peripheral Component Interconnect): впервые стандартизован в 1991
- Изначально предполагался для карт расширения персональных компьютеров
 - Модификации: CompactPCI, PXI, PMC
- Основные особенности
 - Синхронная шина
 - Возможны циклы ожидания
 - Фиксированные частоты
 - Вначале 33 MHz. Затем: 66 MHz, (PCI-X: 100 и 133 MHz)
 - Ширина шины
 - Вначале 32 bit. Позднее: 64 bit
 - Уровень сигналов
 - Вначале 5 V. Далее 3.3 V (->защита плат «кодированием» разъема)
 - Терминология
 - Передача данных между INITIATOR (master) и TARGET (slave)
 - Топология шины
 - От 1 до 8 (в зависимости от частоты) слотов на шину
 - Шины могут быть соединены в «дерево»
 - Линии адреса и данных, так же как и большинство линий протокола совместно используются всеми устройствами;линии арбитражи проведены к каждому устройству отдельно; линии прерываний устроены еще более сложно...
 - Система может состоять из нескольких инициаторов, но только один инициатор может обрабатывать прерывание в данный момент



PCI (2)

- Адресные пространства
 - **Configuration**
 - Стандартизированные регистры динамической конфигурации (plug-and-play)
 - **I/O**
 - Для специализированных регистров устройства
 - **MEM**
 - Пространство регистров общего назначения и память
- Типы циклов
 - **Одиночные**
 - чтение / запись в любое из 3-х адресных пространств
 - **Блочные (burst)**
 - чтение / запись пространства MEM (+специальные свойства для кэша памяти)
- (Типичная) производительность
 - **Одиночные циклы:** 2 (3 для чтения) -> ~10 тактов
 - 33 MHz / 32 bit: 66 MB/s -> ~10 MB/s
 - 64 MHz / 64 bit: 264 MB/s -> ~40 MB/s
 - **Блочные:**
 - 33 MHz / 32 bit: Max. 132 MB/s
 - 64 MHz / 64 bit: Max. 528 MB/s
 - PCI-X @ 133 MHz: 1.06 GB/s
 - Мосты PCI-PCI (связь между шинами) вносят дополнительные задержки

PCI под Linux

Команда “lspci” выводит информацию о PCI устройствах компьютера

Структуру шины PCI и подключенных устройств: `lspci -t -v`

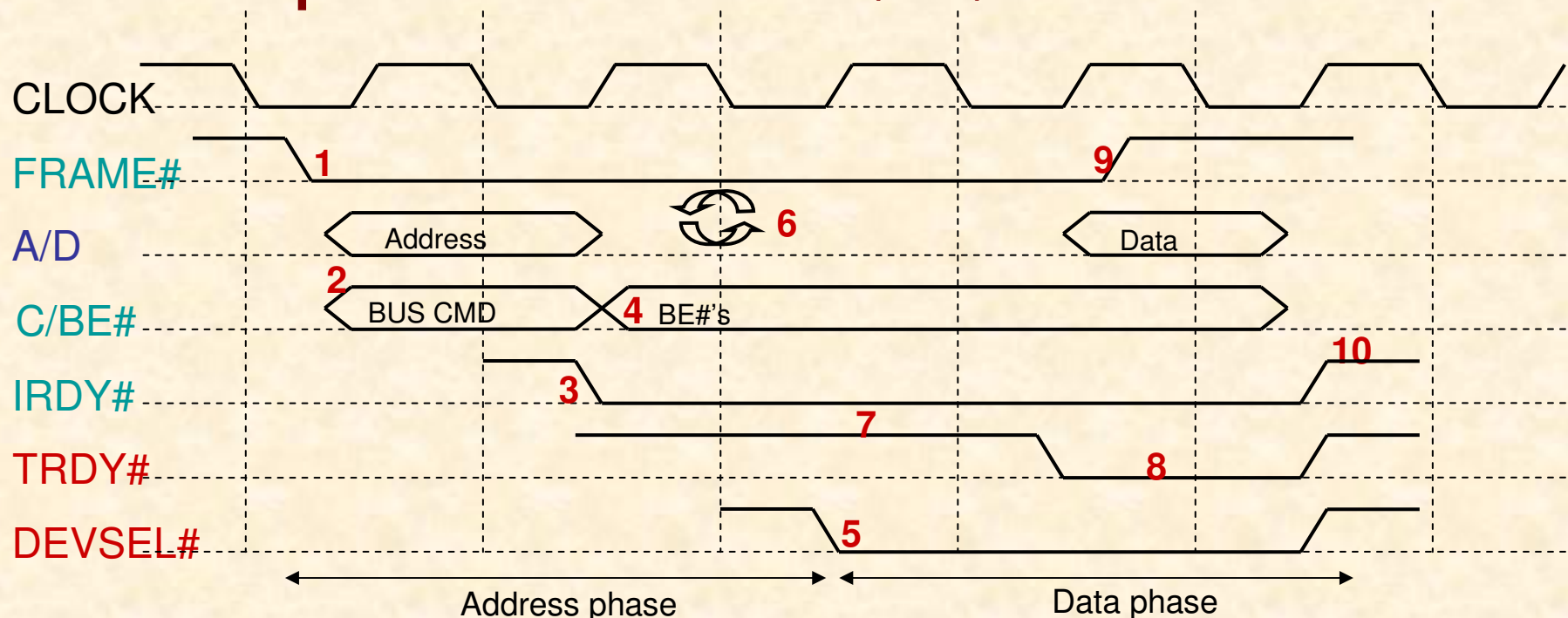
```
-[0000:00]-+-00.0  Intel Corporation E7520 Memory Controller Hub
+-00.1  Intel Corporation E7525/E7520 Error Reporting Registers
+-01.0  Intel Corporation E7520 DMA Controller
+-02.0-[0000:01-03]--+-00.0-[0000:02]----03.0  CERN/ECF/EDU Unknown device 0144
|
|          +-00.1  Intel Corporation 6700/6702PXH I/OxAPIC Interrupt Controller A
|          +-00.2-[0000:03]----01.0  CERN/ECF/EDU Unknown device 0144
|          \-00.3  Intel Corporation 6700PXH I/OxAPIC Interrupt Controller B
+-04.0-[0000:04]----00.0  Broadcom Corporation NetXtreme BCM5721 Gigabit Ethernet PCI Express
+-05.0-[0000:05]----00.0  Broadcom Corporation NetXtreme BCM5721 Gigabit Ethernet PCI Express
+-06.0-[0000:06-08]----00.0-[0000:07-08]--+-04.0  Broadcom Corporation NetXtreme BCM5714 Gigabit Ethernet
|
|          +-04.1  Broadcom Corporation NetXtreme BCM5714 Gigabit Ethernet
|          \-08.0-[0000:08]--+-06.0  Broadcom Corporation NetXtreme BCM5704 Gigabit Ethernet
|          \-06.1  Broadcom Corporation NetXtreme BCM5704 Gigabit Ethernet
+-07.0-[0000:09-0b]--+-00.0-[0000:0a]----02.0  CERN/ECF/EDU Unknown device 0144
|
|          +-00.1  Intel Corporation 6700/6702PXH I/OxAPIC Interrupt Controller A
|          +-00.2-[0000:0b]----01.0  CERN/ECF/EDU Unknown device 0144
|          \-00.3  Intel Corporation 6700PXH I/OxAPIC Interrupt Controller B
+-1d.0  Intel Corporation 82801EB/ER (ICH5/ICH5R) USB UHCI Controller #1
+-1d.1  Intel Corporation 82801EB/ER (ICH5/ICH5R) USB UHCI Controller #2
+-1d.2  Intel Corporation 82801EB/ER (ICH5/ICH5R) USB UHCI Controller #3
+-1d.3  Intel Corporation 82801EB/ER (ICH5/ICH5R) USB UHCI Controller #4
+-1d.7  Intel Corporation 82801EB/ER (ICH5/ICH5R) USB2 EHCI Controller
+-1e.0-[0000:0c]----01.0  ATI Technologies Inc Rage XL
+-1f.0  Intel Corporation 82801EB/ER (ICH5/ICH5R) LPC Interface Bridge
\1f.3  Intel Corporation 82801EB/ER (ICH5/ICH5R) SMBus Controller
```

Детальная информация об устройстве: `lspci -v -s 02:03.0`

```
02:03.0 Co-processor: CERN/ECF/EDU Unknown device 0144 (rev ac)
Subsystem: Unknown device 2151:1087
Flags: bus master, 66MHz, medium devsel, latency 32, IRQ 209
Memory at d7200000 (32-bit, non-prefetchable) [size=512]
I/O ports at 2000 [size=256]
Memory at d8000000 (32-bit, non-prefetchable) [size=16M]
Capabilities: <access denied>
```

Протокол PCI

Пример: одиночное чтение



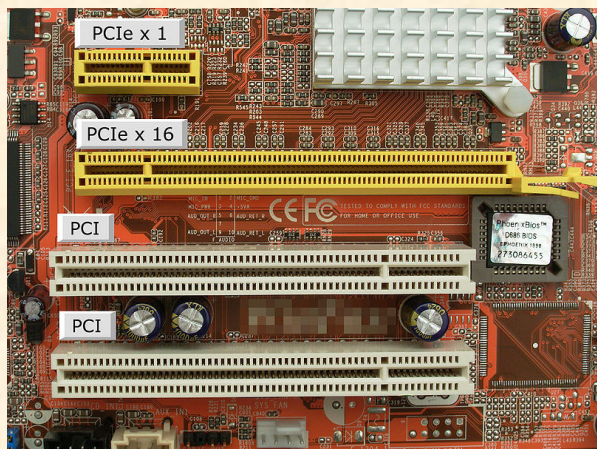
- | | |
|--|--|
| 1) Выставление сигнала FRAME начинает цикл | 7) Target еще не выставила TRDY (может потребоваться время) и просит Initiator подождать |
| 2) Initiator выставляет адрес и команду на шину | 8) Данные Target выставлены на линиях AD. Initiator считывает их в этом же такте |
| 3) Initiator сообщает о готовности к приему данных | 9) Снимая сигнал FRAME, Initiator сообщает Target что он больше не будет читать после последнего слова |
| 4) Initiator использует линии C/BE для указания какие байты он собирается читать | 10) Цикл закончен и линии протокола свободны |
| 5) Target смотрит на адрес и выставляет DEVSEL если запрос пришел к ней. Если никто не выставил DEVSEL после 6 тактов, Initiator прекращает цикл | |
| 6) Владение линиями AD переходит от Initiator к target (только для циклов чтения). Требуется одного такта | |

Цветокod: Initiator – Target - общие

"#" активный низкий

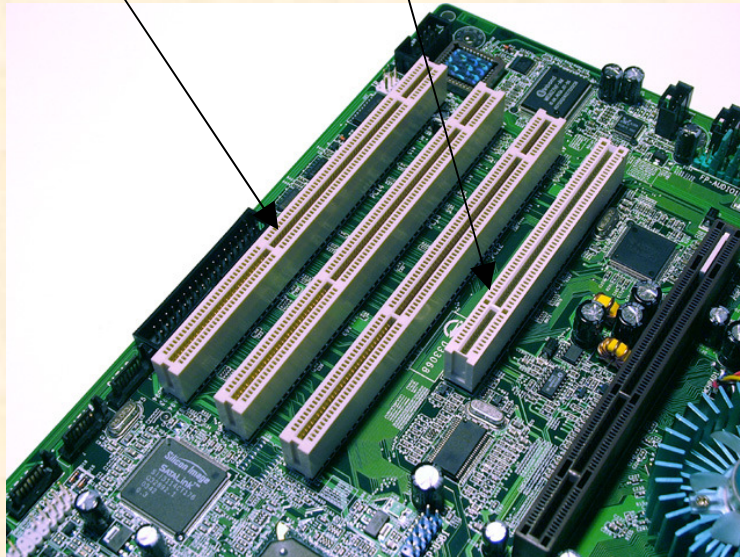
PCIe (PCI Express)

- Уже не шина а соединение точка-точка
- Данные передаются не по параллельным, а по одной или нескольким последовательным линиям
 - Полоса: одна пара линий LVDS на направление (4 провода)
 - Тактовая частота: 2.5 GHz (PCIe2.0: 5 GHz, PCIe 3.0: 10 GHz)
 - 8b/10b кодирование
 - 250 MB/s (PCIe 1.0) скорость передачи на полосу
 - Устройства могут поддерживать до 32х полос
- Протокол на уровне соединения не имеет ничего общего с протоколом «параллельного» PCI
- Полностью совместим на уровне программного обеспечения

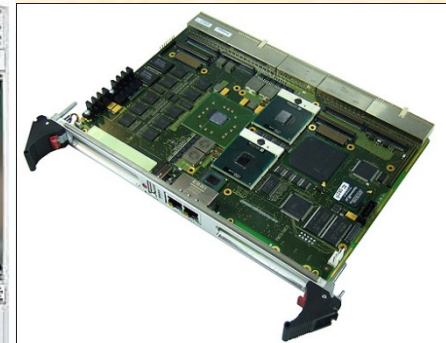


Некоторые примеры применения PCI

32 bit slot with 5V key
64bit slot with 3.3V key



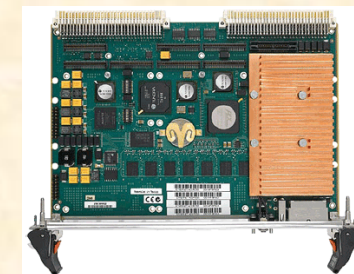
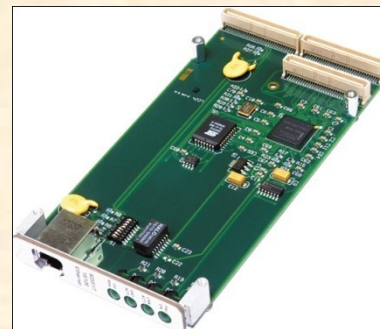
Материнская плата PC



6U CompactPCI шасси и плата



PXI – PCI extension
for Instrumentation



PMC карта и ее носитель (VMEbus)

Последовательные каналы передачи данных

От параллельных шин к последовательному каналу

Parallel Buses Are Dead! (RT magazine, 2006)

Что плохого в “параллельном”?

- Требуется множество выводов у микросхем и проводников на печатной плате
- Размытие сигнала на линиях ограничивает скорость
- Скорость является функцией длины (импеданса) проводников

Что плохого в “шине”?

- Передача данных ограничена одной парой master/slave в отдельный момент времени(нет масштабируемости)
- Квитирование снижает скорость

Все параллельные шины мертвы. Все? Нет!

- Существует множество оборудования
- VMEbus все еще широко используется (военные/наука)
- PC все еще поддерживают PCI (но это может скоро измениться)

Так что же дальше?

- Коммутируемые последовательные соединения

Последовательные каналы

- Стандарты (только наиболее важные)

- PCIe
- 1 / 10 GB Ethernet
- Serial RapidIO
- Infiniband
- Serial ATA
- FiberChannel
-

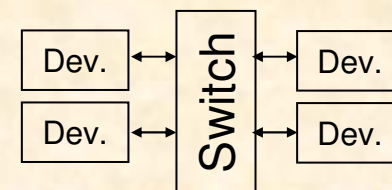
- Общие свойства

- Частота сигналов: 2.5 – 10 GHz
- Коммутация пакетов
- Топология

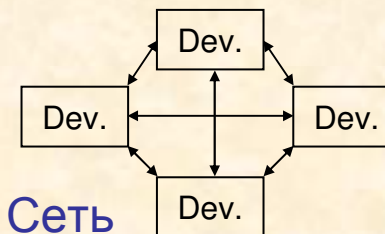
- Звезда: устройство подсоединяется к коммутатору (switch)
 - Двойная звезда: устройство подсоединено к двум коммутаторам (резервирование)
- Сеть: все устройства соединены друг с другом напрямую

- Различия

- Поддержка прерываний
- Поддержка программируемого ввода/вывода
- Качество обслуживания (QoS)
 - гарантированная производительность



Звезда



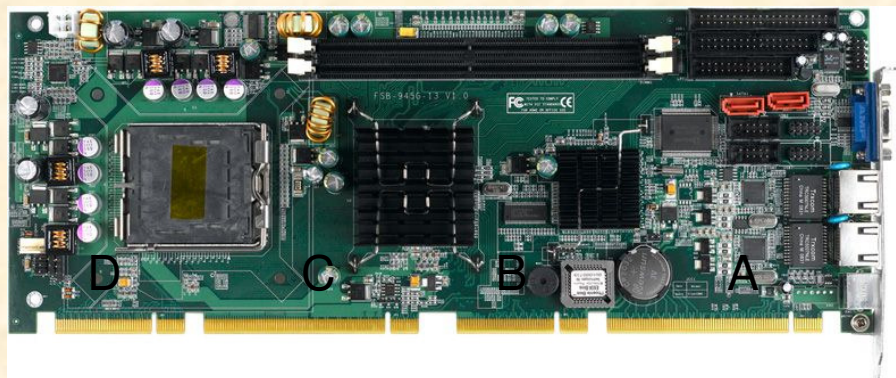
Сеть

PICMG 1.3 – SHB Express

- **SHB Express** = **System Host Board** стандарт для **PCIe**
- Стандартизовано в 2005
- Определено стандартом:
 - SHB механика платы (два типоразмера плат)
 - Интерфейс между SHB и шиной
 - Дополнительный I/O (SATA, USB, Ethernet, etc.) который можно перенаправить на шину
- Система состоит из:
 - Одной платы SHB
 - Одной шины
 - Одной или нескольких плат PCIe, PCI-X или PCI

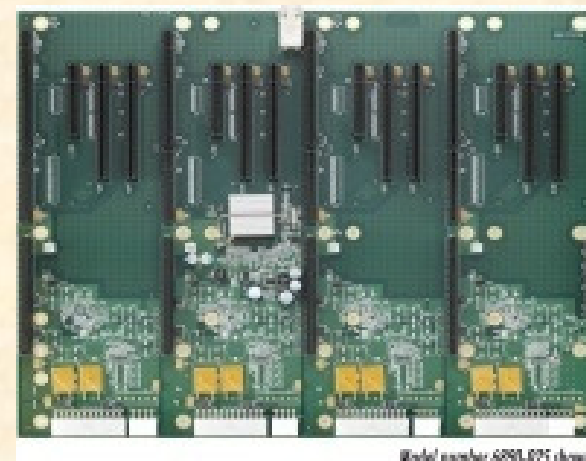
SHB

- Два (A & B) или 4 (A, B, C & D) разъема
 - A: PCIe
 - (1x16) или (2x8) или
 - (1x8 + 2x4) или (4x4)
 - B: PCIe
 - (1x4) или (4x1)
 - C:
 - Дополнительный I/O
 - D:
 - 1 32bit PCI(-X)

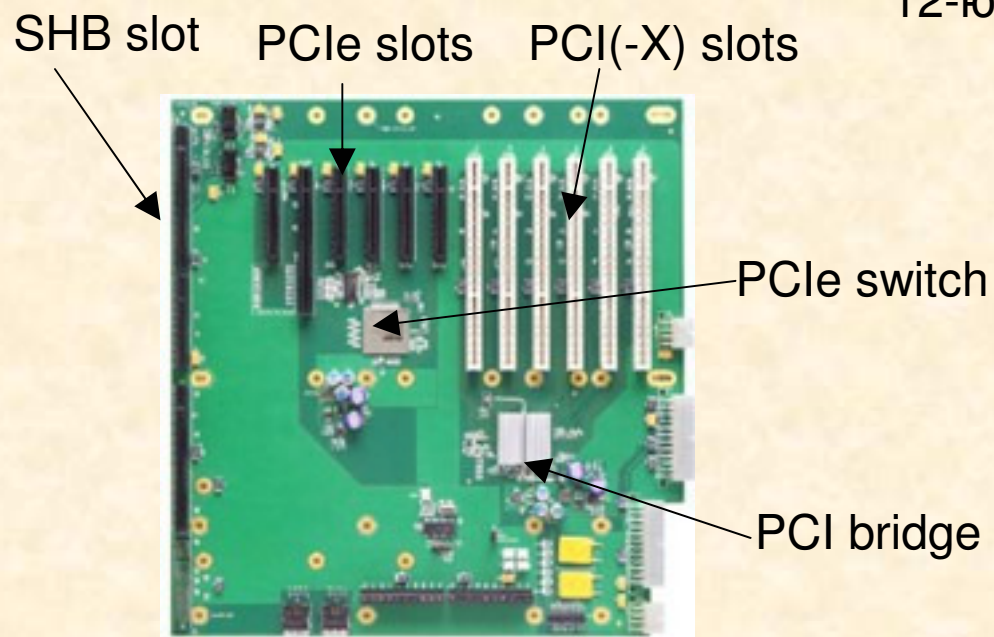


SHB – шины

Шина должна
соответствовать
конфигурации PCIe SHB:
–x16 разъем A: графика
–2x8 разъем A: сервер



Сегментированная шина с 4-мя SHB и
12-ю PCIe разъемами для 19" 4U шасси

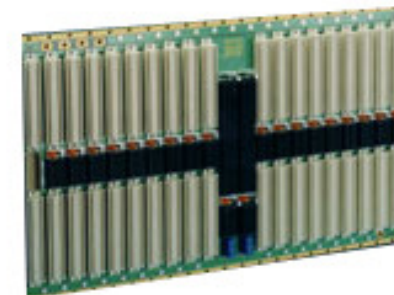
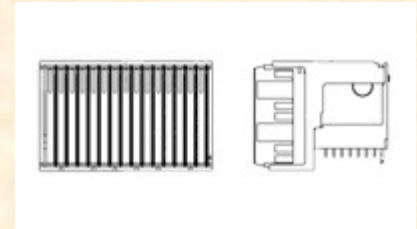


Полная 4U система



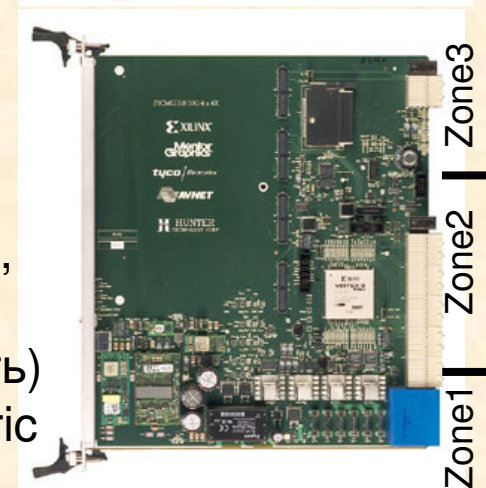
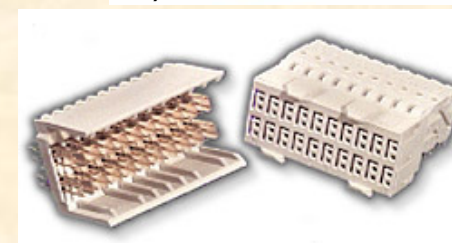
VXS – VMEbus Switched Serial

- В основном 6U (возможно 9U) **VMEbus** с новым разъемом P0
- Два типа плат
 - **Payload**
 - **Switch** (требуется одна плата, две для надежности)
- Топология: (двойная) звезда
- Связь между платами
 - **16 дифференциальных** пар (10 GHz) определенных стандартом (и подсоединенных к коммутирующим платам)
 - **31 резервных контактов** доступны в разьеме P0
- Подстандарты
 - 41.1: Infiniband
 - 41.2: Serial RapidIO
 - 41.3 (**draft**): IEEE Std 802.3 (1000 Mb/s Ethernet)
 - 41.4 (**draft**): PCIe
- Горячая замена: в соответствии со стандартом VITA 1.4
- Управление системой через **I²C** / **IPMI** но только как рекомендация



Advanced TCA (Telecommunications Computing Architecture)

- Скорее целая система нежели стандарт плат
- Разработана в **2001** году при поддержке ~100 компаниями
- **Один типоразмер**
 - Фронт: 8U x 280 mm x 30.48 mm (14 слотов на 19" крейт)
 - Тыл: 8U x 60 mm (макс. **5W**)
- Напряжение питания: **-48 V** (-> DC-DC преобразователь на плате)
- Ограничение мощности: **200 W** (400 W) на плату
- Разъемы
 - Зона 1: один разъем для питания и управления
 - Зона 2: от одного до пяти разъемов для данных
 - Зона 3: разъем для дополнительного ввода/вывода
- Соединения
 - До **200 дифференциальных пар**
 - **4 группы**
 - 64 пары для базового интерфейса (обычно Ethernet, топология звезда)
 - 120 для межплатных связей (звезда или полная сеть)
 - Ethernet, PCIe, Infiniband, serial RapidIO, StarFabric
 - 6 пар для синхронизации тактовой частоты
 - 10 пар канала обновления
- Управление системой на основе **IPMI, I²C и FRU**



ATCA HA (Highly Available)

Избыточность

- Блоки питания
- Вентиляторы
- Управление
- Коммутаторы

Электронные метки

- На основе информации о плате она может быть принята/отказана в конкретном месте (слоте)

Горячая замена

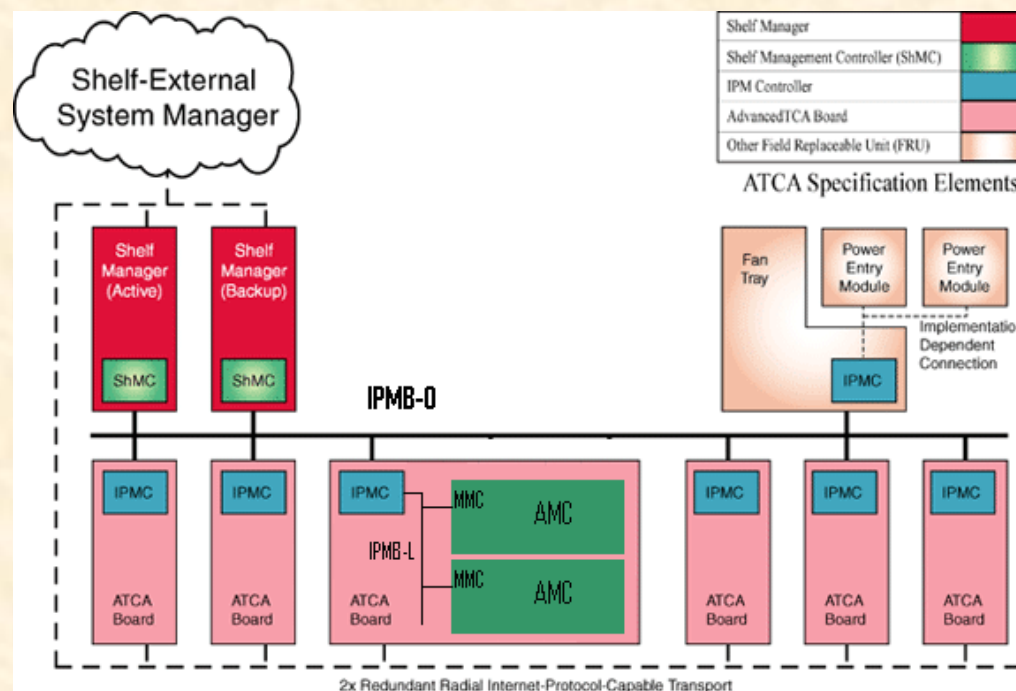
- Плата получит питание только при наличии гарантии необходимых ресурсов (питание, охлаждение, соединения сигналов)

Наблюдение

- Нижний уровень: IPMI (Intelligent Platform Management Interface) по I²C
- Высокий уровень: SNMP (Simple Network Management Protocol) и другие протоколы типа TCP/IP
- Журнал системных событий

Охлаждение

- Динамически управляемые вентиляторы и несколько уровней предупреждений

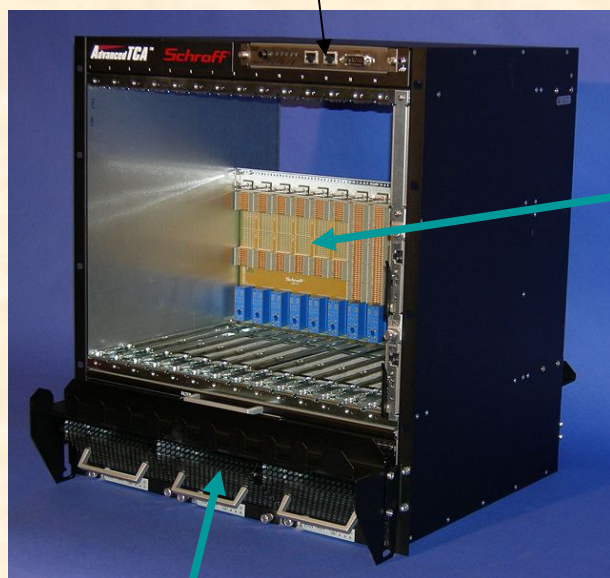


Примеры оборудования АТСА

полки



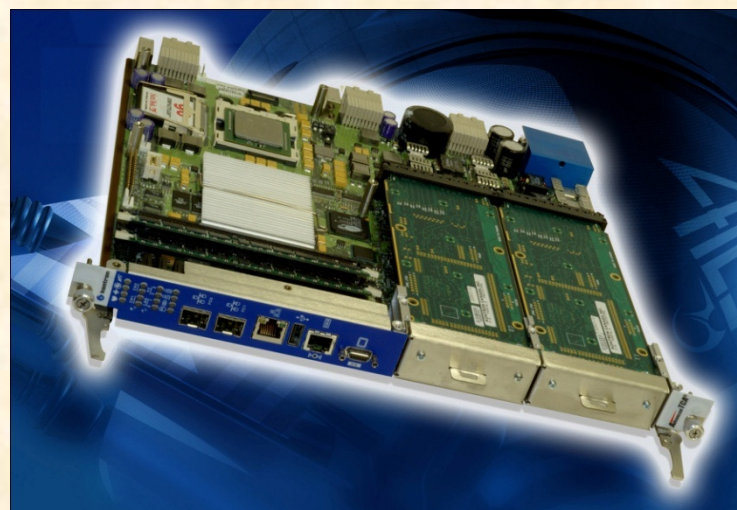
Менеджер полки



Шина:
Двойная
звезда

Заменяемый вентилятор

АМС носители

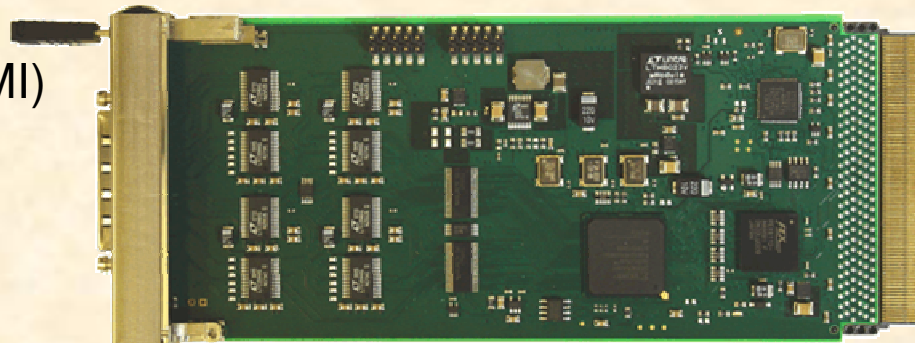


RTM

AMC (Advanced Mezzanine Card)



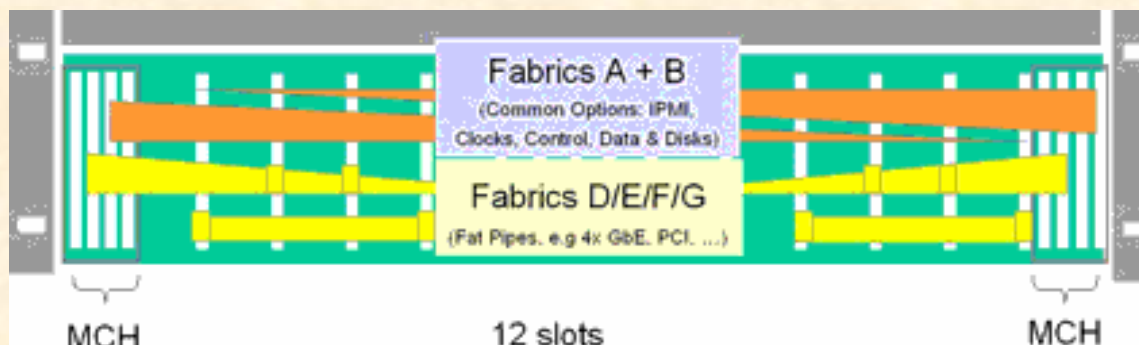
- Изначально задумывался как стандарт для плат **горячей замены** в ATCA но вскоре стал использоваться как стандарт μ TCA
- 6 типоразмеров:
 - 74 or 149 mm **ширина**
 - 13, 18 or 28 mm **высота**
 - 180 mm **глубина**
- Питание: **80W** (max) по **+12V** (и 0.5W по 3.3V управляющему питанию)
- Разъем: 85 контактов (односторонний) или 170 контактов (двусторонний)
- Связь
 - До **12.5 Gb/s**
 - **20+20 LVDS пар сигналов** передачи данных (Eth, PCIe, SAS/SATA, RapidIO)
 - Тактовая частота, JTAG, I²C (IPMI)



μTCA

- Стандарт на основе **AMC**, 2006 год
- Мин. скорость сигналов: **3.125 GHz**
- Соединения:
 - **4 AMC LVDS пары** определены как “Общие опции” (2 Eth. & 2 SAS порта) и подключены к 1 или 2 MCH платам предоставляющих коммутирование
 - **8 AMC LVDS пары** определенных как (дополнительные) «толстые трубы» (1 или 10 G Eth, PCIe, RapidI/O). Подключение к MCH не стандартизовано
 - **Remaining 8 LVDS пары** не определены (могут использоваться для дополнительного I/O (но это не предусмотрено μTCA стандартом))
- Менеджмент по **IPMI / I²C**
- **Поддержка горячей замены** для блоков питания и охлаждения
- Избыточный MCH (μTCA Controller Hub)
- Разъем **MCH** поддерживает до **84 дифференциальных пар**. Тем самым только 7 пар на AMC (при 12-слотовом каркасе) может быть подключено к коммутатору.

Connector Region	AMC Port #	Signal Conventions				MCH Fabric #
Common Options	0	AMC 2 1000Base-BX				A
	1	AMC 2 1000Base-BX				2/A
	2	AMC 3 SAS				B
	3	AMC 3 SAS				2/B
Fat Pipes	4	AMC 1 x4 PCIe	AMC 4 x4 SRIO	AMC 2 1000Base-BX	AMC 2 10GBase-BX4	D
	5			AMC 2 1000Base-BX		E
	6			AMC 2 1000Base-BX		F
	7			AMC 2 1000Base-BX		G
Extended Fat Pipes	8	AMC 4 x4 SRIO	AMC 4 x4 SRIO	AMC 2 1000Base-BX	AMC 2 10GBase-BX4	2/D
	9			AMC 2 1000Base-BX		2/E
	10			AMC 2 1000Base-BX		2/F
	11			AMC 2 1000Base-BX		2/G



Примеры оборудования μ ТСА



- 19" ширина
- Магистраль двойная звезда
- До 10 AMCs
- Внешний AC->DC блок питания



- 19" ширина
- 8 полноразмерных и
- 4 компактных слотов AMC



- 2U / 19" шасси
- До 12 AMCs
- Охлаждение до 40W на слот



- 6 средних (одно или двух-местных) AMCs
- Блок питания AC/DC
- Звезда



MCH

- Широкополосные платы:
 - PCIe
 - 10GB-Eth
 - Serial RapidIO
 - Clocks

Проблемы xTCA

- Для работы xTCA системы требуется сложное, стандартно-совместимое программное обеспечение
 - Усилия по разработке **открытого ПО для xTCA**: OpenSAF, SAForum
- Поскольку множество свойств плат в описании стандарта не являются обязательными, платы разных производителей могут быть несовместимыми
 - Усилия по обеспечению **взаимодействия xTCA продукции**: CP-TA, SCOPE альянс
- Множество поставщиков предпочитают выработку “**профилей**” ограничивающих опции описанные в стандарте:
 - ATCA для телекоммуникаций
 - xTCA «для физиков»
- Рынок пока еще не предлагает достаточное число **модулей регистрирующей электроники** для построения системы сбора данных
- Пока еще мало информации **о производительности** реальных систем, включая задержки программного обеспечения

Какой стандарт лучше всего подходит?

- Естественно зависит от требований
 - Bandwidth & latency
 - Доступности коммерческих продуктов (front end)
 - Существующей инфраструктуры (SW и HW) и опыта разработчиков
 - Даты начала и длительности эксперимента
 - Требований к масштабируемости
- Тенденции в физике высоких энергий
 - LHC & experiments @ CERN: VMEbus & PCI
 - CMS: Calorimeter trigger - прототип на μ TCA
 - ATLAS: Calorimeter ROD - прототип на ATCA
 - LHC: прототип распространения временных меток - μ TCA
 - COMPASS @ CERN: VXS
 - XFEL @ DESY: система контроля на μ TCA

Infiniband

- Разработка Compaq, IBM, Hewlett-Packard, Intel, Microsoft и Sun начиная с 1999 г.
- Характеристики
 - двунаправленный последовательный канал
 - Объединение каналов (4x, 12x)
 - Скорость канала: 2.5, 5, 10 GHz
 - Спец.возможности
 - Передача данных без вмешательства ОС (задержка < 2 μ s)
 - Удаленный DMA (чтение данных из памяти удаленной системы)
 - Назначение
 - Соединение между сервером данных и накопителем
 - Польза для ССД?
 - Малая ввиду отсутствия оборудования для систем сбора данных

Serial Rapid I/O

- Разработка Mercury Computer Systems и Motorola с 1997 года
- Характеристики
 - Двунаправленный последовательный канал
 - Группировка каналов (2x, 4x, 8x, 16x)
 - Скорость канала: 1.25, 2.5, 3.125, 5, 6.25 GHz
 - Спец. возможности
 - Качество обслуживания (QoS) (передачи могут быть приоритезированы)
 - Вещание (multicast)
 - Основное назначение
 - Передачи микросхема-микросхема и плата-плата
 - Отношение к ССД?
 - Малое ввиду отсутствия оборудования, но есть некоторые AMC/ATCA платы